

W1248

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127251

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
G02F 1/133
G11C 19/28

(21)Application number : 11-301982

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 25.10.1999

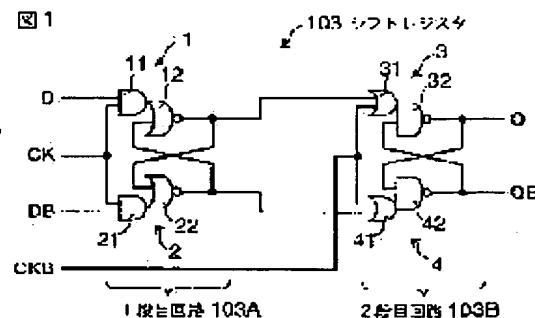
(72)Inventor : YOSHIOKA AKIHIKO
KAWADA KENJI
OBUCHI ATSUSHI
KIMURA MAKOTO

(54) SHIFT REGISTER AND LIQUID CRYSTAL DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shift register which is provided with a level shift function and to minimize a chip size of a liquid crystal driver.

SOLUTION: A shift register of which level transfer function of input data is exerted by supplying operating power source voltages having different voltage levels which the input data have, to a first circuit 103A and a second circuit 103B, and which is accordingly provided with a level shift function can be constituted. Additionally, a level shifter of a next step of the shift register can be eliminated by making the shift register have the level transfer function. Therefore, a chip size of a liquid crystal driver can be minimized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

W1248

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-127251

(P2001-127251A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/04		G 0 2 F 1/133	5 0 5 2 H 0 9 3
21/822		G 1 1 C 19/28	B 5 F 0 3 8
G 0 2 F 1/133	5 0 5	H 0 1 L 27/04	F
G 1 1 C 19/28			

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願平11-301982

(22) 出願日 平成11年10月25日 (1999. 10. 25)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 吉岡 明彦

千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74) 代理人 100089071

弁理士 玉村 静世

最終頁に続く

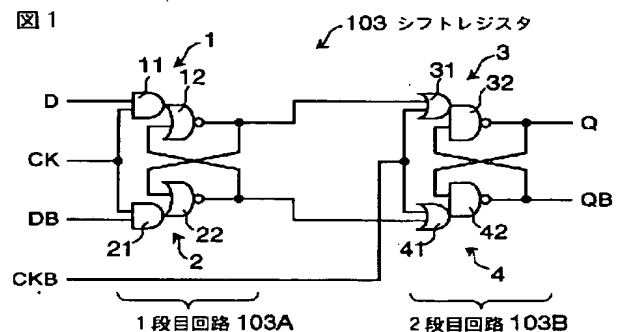
(54) 【発明の名称】 シフトレジスタ及び液晶ドライバ

(57) 【要約】

【課題】 レベルシフト機能を備えたシフトレジスタを提供すること、及び液晶ドライバのチップサイズを縮小することにある。

【解決手段】 第1回路 (103A) 及び第2回路 (103B) に、入力データのとり得る電圧レベルとは異なるレベルの動作電源電圧が供給されることで、入力データのレベル変換機能が発揮され、それによりレベルシフト機能を備えたシフトレジスタを構成することができる。また、シフトレジスタにレベル変換機能を持たせることにより、当該シフトレジスタの後段のレベルシフトを省略することができるので、液晶ドライバのチップサイズを縮小化を図ることができる。

図1



【特許請求の範囲】

【請求項 1】 入力されたクロック信号に同期して、入力データをシフト可能なシフトレジスタにおいて、上記クロック信号に同期して上記入力データを保持するための第 1 回路と、上記第 1 回路の後段に配置され、上記クロック信号に同期して上記第 1 回路からの出力データを保持するための第 2 回路と、を含み、上記第 1 回路及び第 2 回路には、上記入力データのとり得る電圧レベルとは異なるレベルの動作電源電圧が供給されることを特徴とするシフトレジスタ。

【請求項 2】 入力されたクロック信号に同期して、入力データをシフト可能なシフトレジスタにおいて、上記クロック信号に同期して上記入力信号を保持するための第 1 回路と、上記第 1 回路の後段に配置され、上記クロック信号に同期して上記第 1 回路からの出力データを保持するための第 2 回路と、を含み、グラントレベルを基準として入力データのハイレベルよりも高いレベルの電圧が上記第 1 回路の電源電圧として供給され、グラントレベルよりも低い第 2 レベルの電圧と、上記第 1 レベルの電圧とが上記第 2 回路の電源電圧として供給されることを特徴とするシフトレジスタ。

【請求項 3】 上記第 1 回路は、二つのノアゲートが結合されて成るフリップフロップと、上記フリップフロップの前段に配置され、上記クロック信号に同期して上記入力データを取り込むためのアンドゲートとを含んで成り、上記第 2 回路は、二つのナンドゲートが結合されて成るフリップフロップと、上記フリップフロップの前段に配置され、上記クロック信号に同期して上記第 1 回路からの出力データを取り込むためのオアゲートとを含んで成る請求項 1 又は 2 記載のシフトレジスタ。

【請求項 4】 入力されたクロック信号に同期して表示用データをシフトするためのシフトレジスタ部と、上記シフトレジスタ部の出力信号に基づいて液晶素子を駆動するための液晶駆動回路とを含んで成る液晶ドライバにおいて、上記シフトレジスタ部として、請求項 1 乃至 3 の何れか 1 項記載のシフトレジスタを適用して成る液晶ドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入力データをクロック信号に同期してシフトするためのシフトレジスタに関し、例えば液晶ディスプレイに適用して有効な技術に関する。

【0002】

【従来の技術】 液晶ディスプレイにおいては、液晶素子を駆動するための液晶ドライバが複数個設けられる。液晶ドライバは、表示用データを取り込むための入力回

路、データ並べ替えのためのランダムロジック、入力されたデータを順次シフトするためのシフトレジスタ、シフトレジスタの出力信号をレベル変換するためのレベルシフタ、及びレベルシフタの出力信号に基づいて液晶素子を駆動するための液晶駆動回路などを含んで成る。

【0003】 尚、液晶ディスプレイについて記載された文献の例としては、昭和 58 年 8 月 20 日に株式会社オーム社から発行された「電子通信ハンドブック（第 473 頁）」がある。

10 【0004】

【発明が解決しようとする課題】 液晶ドライバにおいてシフトレジスタは、クロックドインバータや、通常のインバータの組み合わせによって構成されたラッチ回路をシリーズ接続することによって構成することができる。

15 従来のシフトレジスタには、レベル変換機能が無いため、当該シフトレジスタの後段に、その出力信号をレベル変換するためのレベルシフタを配置する必要がある。

【0005】 上記液晶ドライバについて本願発明者が検討したところ、レベルシフタのチップ占有面積が比較的大きく、このことが、液晶ドライバのチップサイズの縮小化を阻害する要因とされることが見いだされた。

【0006】 本発明の目的は、レベルシフト機能を備えたシフトレジスタを提供することにある。

20 【0007】 本発明の別の目的は、液晶ドライバのチップサイズを縮小化するための技術を提供することにある。

【0008】 本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

30 【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

35 【0010】 すなわち、入力されたクロック信号に同期して、入力データをシフト可能なシフトレジスタにおいて、上記クロック信号に同期して上記入力データを保持するための第 1 回路と、上記第 1 回路の後段に配置され、上記クロック信号に同期して上記第 1 回路からの出力データを保持するための第 2 回路とを含んでシフトレジスタが構成されるとき、上記第 1 回路及び第 2 回路には、上記入力データのとり得る電圧レベルとは異なるレベルの動作電源電圧を供給する。

40 【0011】 上記の手段によれば、上記第 1 回路及び第 2 回路に、上記入力データのとり得る電圧レベルとは異なるレベルの動作電源電圧が供給されることで、入力データのレベル変換機能が発揮される。このことが、レベルシフト機能を備えたシフトレジスタの提供を達成することにより、当該シフトレジスタの後段のレベルシフタを省略することができ、このことが、液晶ドライバのチ

ップサイズを縮小化を達成する。

【0012】さらに、グラントレベルを基準として入力データのハイレベルよりも高いレベルの電圧を上記第1回路の電源電圧として供給し、グラントレベルよりも低い第2レベルの電圧と、上記第1レベルの電圧とを上記第2回路の電源電圧として供給することができる。

【0013】このとき、上記第1回路は、二つのノアゲートが結合されて成るフリップフロップと、上記フリップフロップの前段に配置され、上記クロック信号に同期して上記入力データを取り込むためのアンドゲートとを含んで構成することができ、上記第2回路は、二つのナンドゲートが結合されて成るフリップフロップと、上記フリップフロップの前段に配置され、上記クロック信号に同期して上記第1回路からの出力データを取り込むためのオアゲートとを含んで構成することができる。

【0014】そして、上記構成のシフトレジスタを含んで液晶ドライバを構成することができる。

【0015】

【発明の実施の形態】図2には、本発明にかかる液晶ドライバの構成例が示される。

【0016】図2に示される液晶ドライバ10は、特に制限されないが、入力回路101、ランダムロジック102、シフトレジスタ103、及び液晶駆動回路104を含み、単結晶シリコン基板などの一つの半導体基板上に形成される。

【0017】液晶表示用の入力データは入力回路101を介して取り込まれる。取り込まれたデータは、ランダムロジック102に入力され、そこでデータの並べ替えが行われた後にシフトレジスタ103に伝達される。シフトレジスタ103では、ランダムロジック102からの出力データを、クロック信号に同期してシフトする機能と、データのレベルを変換する機能とを有する。液晶駆動回路104は、上記シフトレジスタ103から伝達されたデータに基づいて液晶素子（図示せず）を駆動する。

【0018】図1には上記シフトレジスタ103の構成例が示される。

【0019】図1に示されるシフトレジスタ103は、相補レベルの入力データD、DBに対応するもので、液晶ドライバ10には、このようなシフトレジスタ103が複数個形成される。

【0020】シフトレジスタ103は、特に制限されないが、ランダムロジック102からの出力信号を取り込む1段目回路（第1回路）103Aと、この1段目回路の出力信号を取り込む2段目回路（第2回路）103Bとを含む。1段目回路103Aは、アンドゲート11とノアゲート12とが組み合わされて成るアンドノア回路1、及びアンドゲート21とノアゲート22とが組み合わされて成るアンドノア回路2を含んで成り、2段目回路103Bは、オアゲート31とナンドゲート32とが

組み合わされて成るオアナンド回路3、及びオアゲート41とナンドゲート42とが組み合わされて成るオアナンド回路4を含んで成る。

【0021】ノアゲート12の出力端子がノアゲート22の一方の入力端子に結合され、ノアゲート22の出力端子がノアゲート12の一方の入力端子に結合されることで、フリップフロップが形成される。このフリップフロップの前段には、入力されたクロック信号CKに同期して、ランダムロジック102からの出力データD、DBを取り込むためのアンドゲート11、21が配置される。クロックCKがハイレベルのとき、相補レベルの入力データD、DBが取り込まれる。

【0022】また、ナンドゲート32の出力端子がナンドゲート42の一方の入力端子に結合され、ナンドゲート42の出力端子がナンドゲート32の一方の入力端子に結合されることで、フリップフロップが形成される。このフリップフロップの前段には、入力されたクロック信号CKBに同期して、1段目回路103Aからの出力信号をランダムロジック102からの出力データD、DBを取り込むためのノアゲート31、41が配置される。クロックCKBがローレベルのとき、1段目回路103Aからの相補レベルの出力データが取り込まれる。

【0023】尚、クロック信号CKBは、クロック信号CKの論理が反転されたものとされる。

【0024】図3には、図1に示されるシフトレジスタ103のさらに詳細な構成例が示される。

【0025】アンドノア回路1は、次のように構成される。

【0026】nチャンネル型MOSトランジスタN1、N2が直列接続され、それにnチャンネル型MOSトランジスタN3が並列接続される。nチャンネル型MOSトランジスタN2、N3のソース電極はグラントGNDに結合される。nチャンネル型MOSトランジスタN1、N3のドレイン電極はpチャンネル型MOSトランジスタP1を介して高電位側電源VLC Dに結合される。nチャンネル型MOSトランジスタN1にクロック信号CKが入力され、nチャンネル型MOSトランジスタN2のゲート電極に上記ランダムロジック102からの出力データDが入力される。

【0027】アンドノア回路2は、次のように構成される。

【0028】nチャンネル型MOSトランジスタN4、N5が直列接続され、それにnチャンネル型MOSトランジスタN6が並列接続される。nチャンネル型MOSトランジスタN5、N6のソース電極はグラントGNDに結合される。nチャンネル型MOSトランジスタN4、N6のドレイン電極はpチャンネル型MOSトランジスタP2を介して高電位側電源VLC Dに結合される。nチャンネル型MOSトランジスタN4にクロック信号CKが入力され、nチャンネル型MOSトランジスタ

タN5のゲート電極に上記ランダムロジック102からの出力データDBが入力される。

【0029】オアナンド回路3は、次のように構成される。

【0030】pチャンネル型MOSトランジスタP3、P4が直列接続され、それにpチャンネル型MOSトランジスタP5が並列接続される。pチャンネル型MOSトランジスタP3、P5のソース電極は高電位側電源V_{LC}Dに結合される。pチャンネル型MOSトランジスタP4、P5のドレイン電極はnチャンネル型MOSトランジスタN7を介して低電位側電源V_{EE}に結合される。pチャンネル型MOSトランジスタP3のゲート電極には、pチャンネル型MOSトランジスタP1のゲート電極、nチャンネル型MOSトランジスタN3、N4、N6のドレイン電極、及びpチャンネル型MOSトランジスタP2のドレイン電極に結合される。

【0031】オアナンド回路4は、次のように構成される。

【0032】pチャンネル型MOSトランジスタP6、P7が直列接続され、それにpチャンネル型MOSトランジスタP8が並列接続される。pチャンネル型MOSトランジスタP6、P8のソース電極は高電位側電源V_{LC}Dに結合される。pチャンネル型MOSトランジスタP7、P8のドレイン電極はnチャンネル型MOSトランジスタN8を介して低電位側電源V_{EE}に結合される。pチャンネル型MOSトランジスタP6のゲート電極には、pチャンネル型MOSトランジスタN1、N3のドレイン電極や、pチャンネル型MOSトランジスタP2及びnチャンネル型MOSトランジスタN6のゲート電極が結合される。

【0033】ここで、入力データD、DBのローレベルはグラウンドGNDレベルに等しく、入力データD、DBのハイレベルは高電位側電源V_{CC}に等しい。グラウンドGNDを0ボルトとすると、高電位側電源V_{CC}は5ボルト、高電位側電源V_{LC}Dは20ボルト、低電位側電源V_{EE}は、-20ボルトとされる。

【0034】図4には、図1及び図1に示されるシフトレジスタ103の比較対象とされる回路が示される。

【0035】図4に示される回路は、入力データのクロック信号CK、CKBに同期してシフトするためのシフトレジスタ40と、このシフトレジスタ40の出力データのレベル変換を行うためのレベルシフタ50を含む。

【0036】シフトレジスタ40は次のように構成される。

【0037】クロックドインバータ41が設けられ、その後段にインバータ42が配置される。インバータ42とクロックドインバータ43とがループ状に結合される。クロックドインバータ41、42が、クロック信号CK、CKBによって相補的に導通状態にされること

で、入力データDがラッチされるようになっている。インバータ42の出力信号は、インバータ44、45を介してクロックドインバータ46に伝達される。クロックドインバータ46の後段にはインバータ48、49が配置されている。インバータ48とクロックドインバータ47とがループ状に結合される。クロックドインバータ46、47が、クロック信号CK、CKBによって相補的に導通状態にされることで、インバータ45の出力データがラッチされるようになっている。レベルシフタ50は、入力端子A、Bを有する。入力端子Bにはインバータ48の出力信号が伝達され、入力端子Aにはそれがインバータ49で反転されてから入力される。

【0038】ここで、シフトレジスタ40の動作電源電圧は、グラウンドGND=0ボルトを基準にするV_{CC}=5ボルトとされる。

【0039】図5には上記レベルシフタ50の構成例が示される。レベルシフタ50は、1段目回路50Aとその後段に配置された2段目回路50Bとを含む。

【0040】1段目回路は次のように構成される。

【0041】nチャンネル型MOSトランジスタN10とpチャンネル型MOSトランジスタP10とが直列接続され、nチャンネル型MOSトランジスタN11とpチャンネル型MOSトランジスタP11とが直列接続される。nチャンネル型MOSトランジスタN10のゲート電極はnチャンネル型MOSトランジスタN11のドレイン電極に結合され、nチャンネル型MOSトランジスタN11のゲート電極はnチャンネル型MOSトランジスタN10のドレイン電極に結合される。pチャンネル型MOSトランジスタP10、P11のソース電極は高電位側電源V_{CC}に結合される。pチャンネル型MOSトランジスタP10のゲート電極から入力端子Aが引き出され、pチャンネル型MOSトランジスタP11のゲート電極から入力端子Bが引き出される。

【0042】また、2段目回路は次のように構成される。

【0043】pチャンネル型MOSトランジスタP12とnチャンネル型MOSトランジスタN12とが直列接続され、pチャンネル型MOSトランジスタP13とnチャンネル型MOSトランジスタN13とが直列接続される。pチャンネル型MOSトランジスタP12のゲート電極がpチャンネル型MOSトランジスタP13のドレイン電極に結合される。pチャンネル型MOSトランジスタP13のゲート電極がpチャンネル型MOSトランジスタP12のドレイン電極に結合される。pチャンネル型MOSトランジスタP12、P13のソース電極は高電位側電源V_{LC}Dに結合される。nチャンネル型MOSトランジスタN12、N13のソース電極は低電位側電源V_{EE}に結合される。nチャンネル型MOSトランジスタN12のゲート電極は、nチャンネル型MOSトランジスタN10とpチャンネル型MOSトランジスタN11とが直列接続される。

スタP10との直列接続箇所結合され、nチャンネル型MOSトランジスタN13のゲート電極は、nチャンネル型MOSトランジスタN10とpチャンネル型MOSトランジスタP10との直列接続箇所結合される。pチャンネル型MOSトランジスタP12とnチャンネル型MOSトランジスタN12との直列接続箇所から出力端子Qが引き出され、pチャンネル型MOSトランジスタP13とnチャンネル型MOSトランジスタN13との直列接続箇所から出力端子QBが引き出される。ここで、VLCD=20ボルト、VEE=-20ボルトとされる。

【0044】図6には、図4及び図5に示される回路における主要部の動作波形が示される。

【0045】シフトレジスタ40には、グランドGNDを0ボルトとした場合に、VCC=5ボルトが供給される。このため、レベルシフト40の入力端子A、Bでは、ローレベルが0ボルト、ハイレベルが5ボルトとされる。

【0046】レベルシフト50における1段目回路50Aでは、高電位側電源VCC=5ボルト、低電位側電源VEE=-20ボルトが供給されることから、レベルシフト40の入力端子A、Bの信号は、ローレベルが-20ボルトにまでシフトされる。ハイレベルは5ボルトである。

【0047】そして、シフトレジスタ50における2段目回路では、高電位側電源VLCD=20ボルト、低電位側電源VEE=-20ボルトが供給されることから、レベルシフト50の出力端子Q、QBの信号は、ハイレベルが20ボルトまでシフトされる。ローレベルは-20ボルトである。

【0048】このように、図4及び図5に示される構成では、シフトレジスタ40と、レベルシフト50とが明確に分離されており、データのシフトはシフトレジスタ40で行われ、レベル変換はレベルシフト50でのみ行われる。

【0049】これに対して、図1及び図3に示される回路においては、シフトレジスタ103自体がレベル変換機能を発揮する。すなわち、入力データD、DBがクロック信号CK、CKBに同期して1段目回路103Aにラッチされ、次のクロック信号に同期して2段目回路103Bにラッチされるが、このとき、図7に示されるように、1段目回路103AにはグランドGND=0ボルト、高電位側電源VLCD=20ボルトが供給されることにより、1段目回路103Aの出力端子には、ローレベルは0ボルト、ハイレベルは20ボルトとされる。また、2段目回路103Bには、低電位側電源VEE=-20ボルト、高電位側電源VLCD=20ボルトが供給されることにより、ローレベルは-20ボルト、ハイレベルは20ボルトとされる。

【0050】上記した例によれば、以下の作用効果を得

ることができる。

【0051】(1) 図1及び図3に示される回路においては、シフトレジスタ103がレベルシフトとして機能するため、シフトレジスタ103とは別にレベルシフトを設ける必要がない。これにより、図1及び図3に示される回路は、シフトレジスタ40とレベルシフト50とを別個に構成する場合に比べて、MOSトランジスタの個数を低減することができる。例えば、図4及び図5に示される回路において、クロックインバータ1当りのMOSトランジスタ数を4個、インバータ1個当りのMOSトランジスタ数を2個とすると、シフトレジスタ40全体のMOSトランジスタ数は26個となる。これにレベルシフト50の構成MOSトランジスタ数(8個)が加算されることにより、図4及び図5に示される回路全体のMOSトランジスタ数は34個となる。これに対して、図1及び図3に示される回路の構成MOSトランジスタ数は16個であるから、MOSトランジスタ数を1/2以下にまで減少することができる。

【0052】(2) 上記(1)の作用効果により、液晶ドライバ10の構成MOSトランジスタ数の減少を図ることができるため、その分、液晶ドライバのチップ面積の縮小を図ることができる。

【0053】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0054】例えば、1段目回路103Aと2段目回路103Bとの前後関係を入れ換えても良い。その場合において、入れ換えた後の1段目回路にはグランドGNDレベルを基準とするVEE=-20ボルトを供給し、入れ換えた後の2段目回路には、VEE=-20ボルト、VLCD=20ボルトを供給する。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である液晶ドライバに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路に適用することができる。

【0056】本発明は、少なくともクロック信号に同期して入力データを取り込むことを条件に適用することができる。

【0057】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0058】すなわち、第1回路及び第2回路に、入力データのとり得る電圧レベルとは異なるレベルの動作電源電圧が供給されることで、入力データのレベル変換機能が発揮されるため、レベルシフト機能を備えたシフトレジスタを提供することができる。

【0059】また、シフトレジスタにレベル変換機能を

持たせることにより、当該シフトレジスタの後段にレベルシフタを設ける必要が無く、それによって液晶ドライバのチップサイズを縮小化を図ることができる。

【図面の簡単な説明】

【図1】 本発明にかかる液晶ドライバにおけるシフトレジスタの構成例回路図である。

【図2】 上記液晶ドライバの全体的な構成例ブロック図である。

【図3】 図1に示されるシフトレジスタの詳細な構成例回路図である。

【図4】 図1に示される回路の比較対象とされる回路の構成例回路図である。

【図5】 図4に示されるレベルシフタの構成例回路図である。

【図6】 図4及び図5に示される回路における主要部の

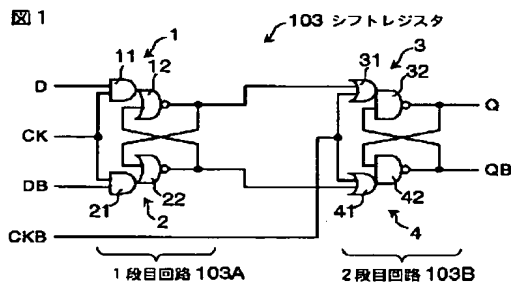
動作波形図である。

【図7】 図1及び図3に示される回路における主要部の動作波形図である。

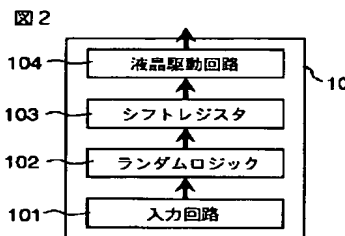
【符号の説明】

- | | | |
|----|-------|------------------|
| 05 | 1, 2 | アンドノア回路 |
| | 3, 4 | オアアンド回路 |
| | 10 | 液晶ドライバ |
| | 101 | 入力回路 |
| | 102 | ランダムロジック |
| 10 | 103 | シフトレジスタ |
| | 103A | 1段目回路 |
| | 103B | 2段目回路 |
| | 104 | 液晶駆動回路 |
| | N1~N8 | nチャンネル型MOSトランジスタ |
| 15 | P1~P8 | pチャンネル型MOSトランジスタ |

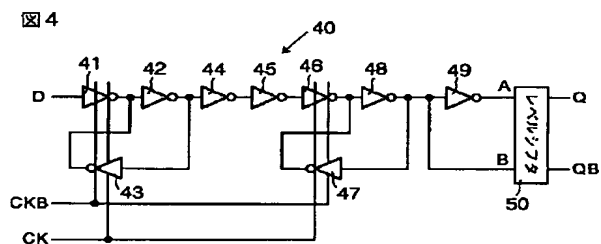
【図1】



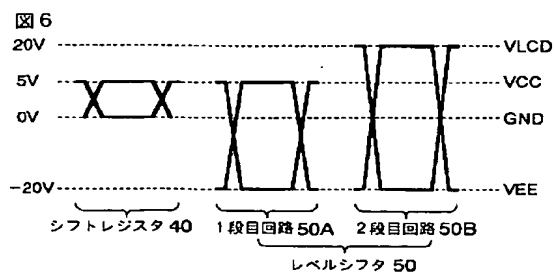
【図2】



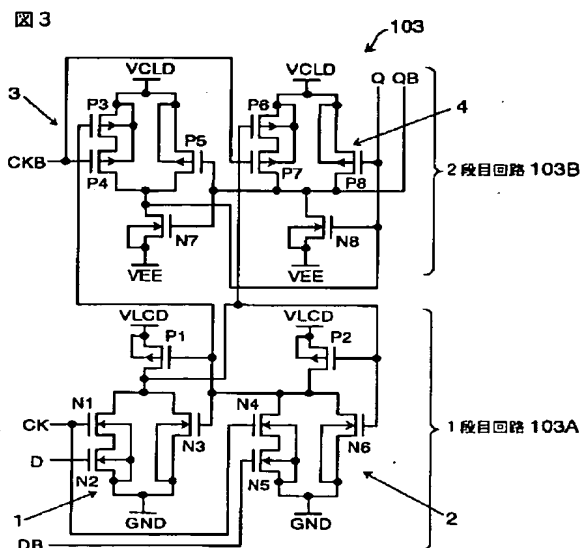
【図4】



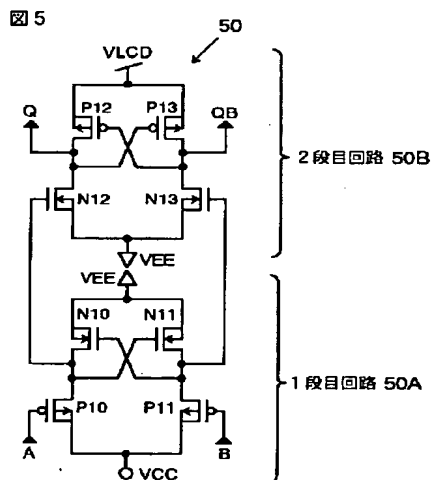
【図6】



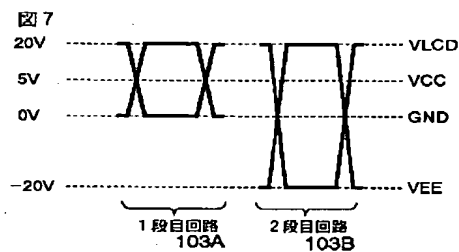
【図3】



【図 5】



【図 7】



フロントページの続き

(72)発明者 川田 賢治

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 大淵 篤

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 木村 誠

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 2H093 NC09 NC11 NC21 NC22 ND49
ND60

5F038 CD02 CD03 CD06 DF01 DF14
EZ20

30